

【特許請求の範囲】

【請求項 1】 画素信号を読み出し可能な撮像素子を有する撮像装置において、

前記撮像素子の電荷蓄積の終了時刻を、水平ブランキング期間以外の時刻に制御する蓄積制御手段を有することを特徴とする撮像装置。

【請求項 2】 画素信号を読み出し可能な撮像素子を有する撮像装置において、

前記撮像素子の電荷蓄積の終了時刻を、水平同期信号の間隔よりも短い時間単位で制御する蓄積制御手段を有する

ことを特徴とする撮像装置。

【請求項 3】 請求項 1 または 2 記載の撮像装置において、

前記撮像素子は、電荷蓄積領域および転送シフトレジスタを有し、
前記蓄積制御手段は、前記電荷蓄積領域に蓄積された信号電荷を、前記転送シフトレジスタに移送することにより、前記撮像素子の電荷蓄積を終了させることを特徴とする撮像装置。

【請求項 4】 請求項 1 または 2 記載の撮像装置において、

前記撮像素子は、電荷蓄積領域を有し、
前記蓄積制御手段は、前記電荷蓄積領域に蓄積された信号電荷を、前記撮像素子の基板に書き出すことにより、前記撮像素子の電荷蓄積を開始させることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、電子スチルカメラやビデオカメラ等の画素信号を読み出し可能な撮像素子を有する撮像装置、より詳しくは露光時間を電気的に制御するいわゆる電子シャッター機能を有する撮像装置に関するものである。

【0002】

【従来の技術】 このような撮像装置として、例えば、特開平 6-4-6379 号公報には、撮像素子への電荷の蓄積を終了させて、蓄積された信号電荷を読み出すための読み出しパルスを所定のタイミングで発生させ、この読み出しパルスに対して、撮像素子に蓄積された電荷を基板に書き出して、露光すなわち電荷の蓄積を開始するための書き出しパルスを、高速シャッター領域では垂直ブランキング期間内の任意の時期に発生させるようにし、低速ブランキング期間から外れる低速シャッター領域では任意の水平ブランキング期間内で発生させるようにしたものが提案されている。

【0003】

【発明が解決しようとする課題】 上述した従来の撮像装置においては、高速シャッター領域では、垂直ブランキング期間内で書き出しパルスの発生タイミングを可変として、シャッター速度を連続的に可変できるようにしている

ので、読み出しパルスの発生時点において信号電荷が適正蓄積レベルに達するように、その露光時間を正確に制御でき、したがって高い露出精度を確保することができる。

【0004】 しかしながら、書き出しパルスの発生タイミングが垂直ブランキング期間から外れる低速シャッター領域では、書き出しパルスを任意の水平ブランキング期間内で定期的に発生させるようにしているため、シャッター速度を一定の水平同期信号、すなわち 1 水平ライン (1 H) の時間単位でしか可変できない。このため、実際の露光時間に、最大で 1 H 分の誤差が生じることになり、露出精度が低下するという問題がある。なお、この露出時間の誤差に基づく適正蓄積レベルからの信号電荷の過不足を、後段の増幅器のゲインを調整して補正することも考えられるが、増幅器のゲイン調整は、一般にリニアリティが悪いため、正確に補正できないこと、S/N がゲインによって変化してしまうという問題がある。

【0005】 この発明は、このような従来の問題点に着目してなされたもので、電子シャッターを高精度で制御でき、常に高い露出精度を確保できるよう適切に構成した撮像装置を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 上記目的を達成するため、請求項 1 に係る発明は、画素信号を読み出し可能な撮像素子を有する撮像装置において、前記撮像素子の電荷蓄積の終了時刻を、水平ブランキング期間以外の時刻に制御する蓄積制御手段を有することを特徴とするものである。

【0007】 さらに、請求項 2 に係る発明は、画素信号を読み出し可能な撮像素子を有する撮像装置において、前記撮像素子の電荷蓄積の終了時刻を、水平同期信号の間隔よりも短い時間単位で制御する蓄積制御手段を有することを特徴とするものである。

【0008】 請求項 1 または 2 に係る発明の好適一実施形態においては、前記撮像素子は、電荷蓄積領域および転送シフトレジスタを有し、前記蓄積制御手段は、前記電荷蓄積領域に蓄積された信号電荷を、前記転送シフトレジスタに移送することにより、前記撮像素子の電荷蓄積を終了させるようにする。

【0009】 さらに、請求項 1 または 2 に係る発明の好適一実施形態においては、前記撮像素子は、電荷蓄積領域を有し、前記蓄積制御手段は、前記電荷蓄積領域に蓄積された信号電荷を、前記撮像素子の基板に書き出すことにより、前記撮像素子の電荷蓄積を開始させるようにする。

【0010】

【発明の実施の形態】 以下、図面を参照して、この発明の一実施形態について説明する。図 1 は、この発明に係る撮像装置の一実施形態の構成を示すブロック図である。この撮像装置は、基本的には静止画を撮像して記録

することを主目的としたもので、レンズおよび絞り 17 を介して入射した被写体像を電気信号に変換する CCD 1 と、この CCD 1 の出力からリセット雑音等を除去するための相関二重サンプリング回路 (CDS) 2 と、この CDS 2 の出力のゲインを調節するゲインコントロールアンプ (AMP) 3 と、この AMP 3 の出力信号をデジタル信号に変換するアナログデジタル変換器 (A/D) 4 と、デジタル信号に変換された画像信号に各種の処理を施すプロセス処理回路 5 と、CCD 1 を駆動するための各種の駆動パルスを出力すると共に、CDS 2 でのサンプルホールド用のパルスを出し、さらに A/D 4 で A/D 変換を行うためのタイミングパルスを出力するタイミングジェネレータ (TG) 6 と、この TG 6 と後述する CPU 8 との同期をとるための信号を発生するシグナルジェネレータ (SG) 7 と、CCD 1 の読み出し制御手段を構成すると共に、撮像装置全体についてタイミング等を含む各種の制御を行う例えばマイクロコンピュータからなる CPU 8 と、プロセス処理回路 5 から出力される CCD 1 の画像データや、後述する記録媒体 16 から圧縮伸長回路 15 を経て供給される画像データを蓄積するメモリを構成する DRAM 9 と、レンズおよび絞り 17 によるオートフォーカスを制御するためのオートフォーカス回路 (AF) 10 と、CCD 1 に結像される被写体像の測光を行うための自動露出制御回路 (AE) 11 と、ホワイトバランスを自動的に制御するためのオートホワイトバランス回路 (AWB) 12 と、この撮像装置に内蔵されているモジュールである液晶表示装置 13 と、外部のモニタ等の表示装置に画像信号等を出力するための外部表示用端子 14 と、DRAM 9 に蓄積された 1 フレーム分の画像データを後述する記録媒体 16 にデータ量を減らして記録するために圧縮し、また該記録媒体 16 から読み出した圧縮された画像データを伸長する圧縮伸長回路 15 と、静止画データを記録する記録媒体 16 とを有する。

【0011】図 2 は、図 1 に示す CCD 1 の一例の構成を模式的に示すものである。この CCD 1 は、縦型オーバースAMPLEドレイン構造をもつインターライン形のもので、水平方向および垂直方向に二次元的に配列され、光の入射により電荷の蓄積を行う電荷蓄積領域を構成するフォトダイオード 21 と、このフォトダイオード 21 に蓄積された電荷をトランスファークラーク 22 を介して受け取った後に、垂直方向に順次転送する垂直シフトレジスタ 23 と、この垂直シフトレジスタ 23 により転送される電荷を水平方向に順次転送する水平シフトレジスタ 24 と、この水平シフトレジスタ 24 の出力信号を増幅して出力する信号検出器 25 とを有している。

【0012】図 1 に示す撮像装置は、全体的には、以下のように動作する。すなわち、記録媒体 16 に画像を記録する際には、CCD 1 から、CDS 2、AMP 3、A/D 4 およびプロセス処理回路 5 を経て出力される画像

データを、例えば液晶表示装置 13 に供給して表示する。これにより、撮影者は、液晶表示装置 13 を見ながら被写体の構図等を決定することができる。この状態で、リリースボタン (図示せず) が押されると、プロセス処理回路 5 からの画像データを DRAM 9 を介して圧縮伸長回路 15 で圧縮して記録媒体 16 に記録する。

【0013】また、記録媒体 16 に記録されている画像データを再生する際には、記録媒体 16 から読み出された圧縮された画像データを圧縮伸長回路 15 で伸長処理して DRAM 9 に書き込み、この DRAM 9 に書き込まれた画像データをプロセス処理回路 5 を介して液晶表示装置 13 や、外部表示用端子 14 を経て外部表示装置に供給して静止画として再生する。

【0014】図 3 は、図 1 の部分詳細図で、SG 7 および CPU 8 から TG 6 に供給する信号、および TG 6 から CCD 1 に供給する信号を示している。CPU 8 は、通信ライン SSTRB、SDCLK、SDATA の三つの信号により、TG 6 と図 4 に示すデータ通信フォーマットでデータ通信を行って、TG 6 の各種の動作モード等を設定する。また、CPU 8 は、TG 6 にリセット信号 RST およびスタンバイ信号 STBY を供給して、TG 6 を初期化したり、非動作状態に制御する。

【0015】SG 7 は、TG 6 に垂直同期信号 VD および水平同期信号 HD を供給する。また、TG 6 は、SG 7 からの垂直同期信号 VD、水平同期信号 HD、および CPU 8 により設定された各種の動作モード等に基づいて、CCD 1 にサブパルス SUB、トランスファークラークパルス TGP、垂直シフトレジスタ転送パルス VT を供給して、CCD 1 の電荷蓄積、電荷読み出し動作を制御する。

【0016】ここで、サブパルス SUB は、図 2 に示す CCD 1 のフォトダイオード 21 に発生した電荷を基板縦方向に排出するためのパルスで、このサブパルス SUB が出力されている間は電荷の排出が行われるようになっている。また、トランスファークラークパルス TGP は、フォトダイオード 21 に蓄積された電荷を垂直シフトレジスタ 23 に転送するためのタイミングを決めるパルスであり、垂直シフトレジスタ転送パルス VT は、垂直シフトレジスタ 23 を駆動して電荷を水平シフトレジスタ 24 へ転送するためのパルスである。

【0017】したがって、フォトダイオード 21 に電荷が蓄積されるのは、サブパルス SUB の発生からトランスファークラークパルス TGP の発生までの区間で、この電荷の蓄積時間を制御することで、実効的露光時間を制御するいわゆる電子 (素子) シャッタを実現する。

【0018】この電荷蓄積時間 (露光時間) は、図 5 にフローチャートを示すように、CPU 8 において、AE 回路 11 で被写体像を測光して得た測光データを読み込んで (ステップ S1)、その測光データに基づいて適正露光時間を計算し (ステップ S2)、その計算した適正

露光時間に対応してTG6にデータを送信して各種の動作モードを設定することにより、サブパルスSUBおよびトランスファークラックパルスTGPの発生タイミングを制御する。

【0019】図6は、この実施形態において、適正露光時間に応じて、CPU8から通信ラインSDATAを経てTG6に送信する送信データ、この実施形態では12ビット(SD11~SD0)と、それにより設定されるTG6の各種の動作モードとの関係を示すものである。

【0020】図6において、シャッタTGP微調設定モードは、水平同期信号HDの立ち下がり時点から、トランスファークラックパルスTGPの発生時点までの微小露光時間tTGP(ただし、tTGPは水平クロック数)を設定するものである。この実施形態では、送信データの低位3ビット(SD2~SD0)に設定データの低位3ビット(D2~D0)のデータDTGPを割り当てて送信し、そのデータDTGPを用いて、tTGPを

$$tTGP = 268 \times DTGP + \alpha \quad \dots (1)$$

により設定する。なお、αは、水平ブランキング期間における水平クロック数よりも、若干多いクロック数で、ここでは、例えば130に設定する。

【0021】これにより、図7および図8に示すように、水平同期信号HDの立ち下がりから、268水平クロック数を単位とする8通りの微小露光時間のなかから、DTGPのデータ内容に応じた微小露光時間tTGPを設定する。なお、図7は、DTGPのデータ内容と、水平同期信号HDの立ち下がり時点からのトランスファークラックパルスTGPの立ち上がりおよび立ち上がり時点の水平クロック数との関係を示し、図8は、その各トランスファークラックパルスTGPと水平同期信号HDとのタイミングチャートを示している。また、ここでは、トランスファークラックパルスTGPの低レベル区間のパルス幅を、40水平クロック数とし、1H内の水平クロック数は、2145クロック数とする。

【0022】したがって、このシャッタTGP微調設定モードによって、トランスファークラックパルスTGPを、水平ブランキング期間以外の時刻で、1Hよりも短い268水平クロック数の時間単位で発生させることができる。

【0023】また、図6において、シャッタSUB設定モードは、サブパルスSUBの発生タイミングを1H単位で可変として、電荷蓄積の開始時刻を制御するものである。この実施形態では、シャッタSUB設定データのうち、上位2ビット(D10,D9)のデータDSUBHと、低位9ビット(D8~D0)のデータDSUBLとを別々の送信データとして送信する。すなわち、上位2ビット(D10,D9)のデータDSUBHは、一つの送信データの低位2ビット(SD1,SD0)に割り当てて送信し、低位9ビット(D8~D0)のデータDSUBLは、他の送信データの低位9ビット(SD8~SD0)に割り当てて送信する。このようにし

て、露光時間tSUB(ただし、tSUBは水平同期信号数)を、データDSUBHおよびDSUBLを用いて、 $tSUB = DSUBH \times 2^9 + DSUBL \quad \dots (2)$ により設定する。

【0024】したがって、このシャッタSUB設定モードでは、露光時間tSUBを、0~2047Hの範囲で1H単位で設定することができる。

【0025】また、シャッタV設定モードは、1フレーム(V)単位で露光時間を制御するものである。この実施形態では、シャッタV設定データのうち、上位7ビット(D11~D5)のデータDVHと、低位5ビット(D4~D0)のデータDVLとを別々の送信データとして送信する。すなわち、上位7ビット(D11~D5)のデータDVHは、一つの送信データの低位7ビット(SD6~SD0)に割り当てて送信し、低位5ビット(D4~D0)のデータDVLは、他の送信データの低位5ビット(SD4~SD0)に割り当てて送信する。このようにして、露光時間tv(ただし、tvはフレーム数)を、データDVHおよびDVLを用いて、

$$tv = DVH \times 2^5 + DVL \quad \dots (3)$$

により設定する。

【0026】したがって、このシャッタV設定モードでは、長時間露光用の露光時間を、0~4095Vの範囲で1V単位で設定することができる。

【0027】このようにして、CPU8により、適正露光時間に応じてTG6の各種の動作モードを設定すれば、サブパルスSUBの発生時点からトランスファークラックパルスTGPの発生時点までの露光時間tR(ただし、tRは水平クロック数)は、1V内の水平同期信号数、すなわちライン数をL、1H内の水平クロック数をnとすると、

$$tR = L \cdot n \cdot tv + n \cdot tSUB + tTGP \quad \dots (4)$$

で表される。したがって、シャッタ速度Tspiは、1水平クロックの時間をm secとすると、

$$Tspi = 1 / (m \cdot tR) \quad \dots (5)$$

となる。

【0028】なお、図6には、電子シャッタと協働して露光時間を制御するメカニカルシャッタを有する場合のメカシャッタ駆動時間設定モードと、そのモードを設定するための送信データも示しているが、ここではその説明を省略する。

【0029】図9は、この実施形態によるCCD1の動作と、従来例による動作とを比較して示すタイミングチャートである。この実施形態によれば、サブパルスSUBの発生タイミングは水平ブランキング期間に同期させ、トランスファークラックパルスTGPの発生タイミングは、水平同期信号HDの立ち下がり、すなわち水平ブランキング期間の開始からの時間tTGP(水平クロック数)を、水平ブランキング期間を外れた1Hのなかで可変できるようにしたので、露光時間tR(水平クロック

数)を、電荷蓄積レベルが適正蓄積レベル V_{th} となる時間に正確に制御することができる。なお、図9における露光時間 t_R は、上記(1)式において D_{TGP} を任意の値とし、(2)式において $DSUB=0$ 、 $DSUBL=6$ とし、(3)式において $D_{VH}=0$ 、 $D_{VL}=0$ とした場合を示している。

【0030】これに対し、従来例のように、サブパルス SUB およびトランスファークラック TGP' の双方を、水平ブランキング期間に同期させて、露光時間 t_R' (水平クロック数)を制御すると、適正蓄積レベル V_{th} に対して ΔV_{th} の誤差が生じ、露出精度が低下することになる。

【0031】以上のように、この実施形態によれば、水平ブランキング期間を外れた1Hのなかでシャッタ速度を微調整することができるので、高速シャッタ領域のみならず、低速シャッタ領域においても、露出精度を大幅に向上することができる。

【0032】なお、この発明は、上述した実施形態にのみ限定されるものではなく、幾多の変形または変更が可能である。例えば、上述した実施形態では、トランスファークラック TGP の設定最小分解能を268水平クロック数としたが、設定データビット数を増やして、さらに分解能を上げるようにしたり、アナログ的に連続可変とすることもできる。

【0033】

【発明の効果】この発明によれば、撮像素子の電荷蓄積の終了時刻を、水平ブランキング期間以外の時刻に制御するようにしたので、特に、その終了時刻を、水平同期信号の間隔よりも短い時間単位で制御することにより、電子シャッタを高精度で制御することができ、常に高い露出精度を確保することができる。

【図面の簡単な説明】

【図1】この発明に係る撮像装置の一実施形態の構成を示すブロック図である。

【図2】図1に示すCCDの一例の構成を模式的に示す図である。

【図3】図1の部分詳細図である。

【図4】図3に示すCPUとTGとの間のデータ通信のフォーマットの一例を示す図である。

【図5】図1に示す実施形態による露光時間設定動作を*40

*示すフローチャートである。

【図6】図3において、CPUからTGに送信される送信データと、それにより設定されるTGの各種の動作モードとの関係を示す図である。

【図7】図3において、CPUからTGに送信されるシャッタTGP微調整設定モードの設定データ内容と、そのデータ内容に対応する水平同期信号の立ち下がり時点からのトランスファークラックの立ち上がりおよび立ち上がり時点の水平クロック数との関係を示す図である。

【図8】同じく、シャッタTGP微調整設定モードで設定されるトランスファークラックと水平同期信号との関係を示すタイミングチャートである。

【図9】図1に示す実施形態によるCCDの動作と、従来例による動作とを比較して示すタイミングチャートである。

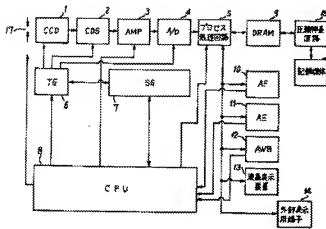
【符号の説明】

- 1 CCD
- 2 相関二重サンプリング回路(CDS)
- 3 ゲインコントロールアンプ(AMP)
- 4 アナログデジタル変換器(A/D)
- 5 プロセッサ処理回路
- 6 タイミングジェネレータ(TG)
- 7 シグナルジェネレータ(SG)
- 8 CPU
- 9 DRAM
- 10 オートフォーカス回路(AF)
- 11 自動露出制御回路(AE)
- 12 オートホワイトバランス回路(AWB)
- 13 液晶表示装置
- 14 外部表示用端子
- 15 圧縮伸長回路
- 16 記録媒体
- 17 レンズおよび絞り
- 21 フォトダイオード
- 22 トランスファークラック
- 23 垂直シフトレジスタ
- 24 水平シフトレジスタ
- 25 信号検出器

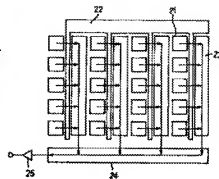
【図4】



【図1】



【図2】

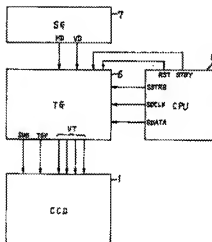


【図7】

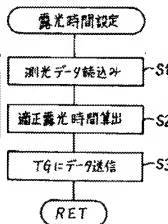
(単位: ミリメートル)

データ Data			HDDデータ HDD Data	
			TGP	
D2	D1	D0	7	8
0	0	0	130	170
0	0	1	398	438
0	1	0	665	705
0	1	1	934	974
1	0	0	1202	1242
1	0	1	1470	1510
1	1	0	1738	1778
1	1	1	2005	2045

【図3】



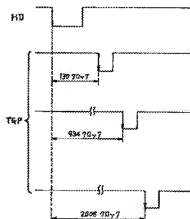
【図5】



【図6】

	SD17	SDM	SD4	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	動作モード
1	0	0	0	0	X	X	X	X	D2	D1	D0	0	カメラ制御回路設定
1	0	0	1	0	X	X	X	D4	D3	D2	D1	D0	シャッター設定 (TGP)
1	0	0	1	1	D11	D10	D9	D8	D7	D6	D5	D4	シャッター設定 (上位)
1	0	1	0	0	X	X	X	D2	D1	D0	D0	D0	シャッター設定 (上位)
1	1	0	D8	D7	D6	D5	D4	D3	D2	D1	D0	D0	シャッター設定 (上位)
1	1	1	0	0	X	X	X	X	D10	D9	D8	D7	シャッター設定 (上位)

【図8】



【図9】

